

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 10 月 24 日  
Application Date

申請案號：091124812  
Application No.

申請人：日月光半導體製造股份有限公司、日月宏科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 6 月 9 日  
Issue Date

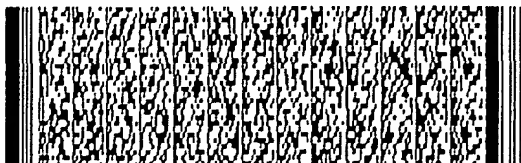
發文字號：09220560960  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	電路基板及其製造方法
	英 文	CIRCUIT SUBSTRATE AND MANUFACTURING METHOD THEREOF
二、 發明人	姓 名 (中文)	1. 歐英德 2. 洪志斌
	姓 名 (英文)	1. Ou, In-De 2. Hung, Chih-Pin
	國 籍	1. 中華民國 2. 中華民國 1. R.O.C. 2. R.O.C.
	住、居所	1. 高雄市苓雅區興中一路七巷46號(No. 46, Lane 7, Shingjung 1st Rd., Lingya Chiu, Kaohsiung, Taiwan 802, R.O.C.) 2. 高雄市三民區鼎金後路36巷9號(No. 9, Lane 36, Dingjinhou Rd., Sanmin Chiu, Kaohsiung, Taiwan 807, R.O.C.)
三、 申請人	姓 名 (名稱) (中文)	1. 日月光半導體製造股份有限公司 2. 日月宏科技股份有限公司
	姓 名 (名稱) (英文)	1. Advanced Semiconductor Engineering, Inc. 2. ASE Material Inc.
	國 籍	1. 中華民國 2. 中華民國 1. R.O.C. 2. R.O.C.
	住、居所 (事務所)	1. 高雄市楠梓加工區經三路26號(26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan, R.O.C.) 2. 高雄市楠梓加工出口區開發路73號(73, Kai-Fa Road, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.)
	代表人 姓 名 (中文)	1. 張虔生 2. 張虔生
	代表人 姓 名 (英文)	1. Chang, Jason 2. Chang, Jason



申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

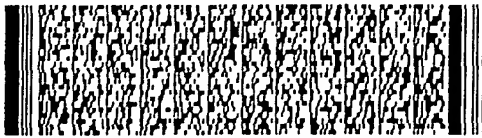
一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	3. 陳嘉尚 4. 林光華
	姓 名 (英文)	3. Chen, Chia-Shang 4. Lin, Kuang-Hua
	國 籍	3. 中華民國 4. 中華民國 3. R.O.C. 4. R.O.C.
	住、居所	3. 新竹市明湖路1006巷118弄11號(No. 11, Alley 118, Lane 1006, Minghu Rd., Hsinchu, Taiwan 300, R.O.C.) 4. 新竹縣新埔鎮田新里10鄰文德路三段281號(No. 281, Sec. 3, Wende Rd., Shinpu Jen, Hsinchu, Taiwan 305, R.O.C.)
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	



申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

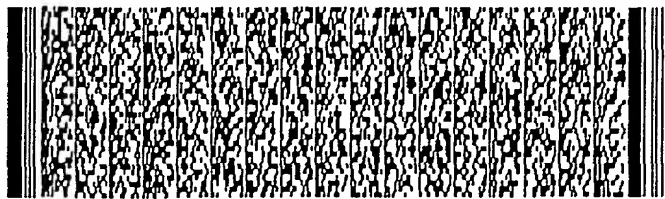
一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 趙興華
	姓 名 (英文)	5. Chao, Shin-Hua
	國 籍	5. 中華民國 S. R. O. C.
	住、居所	5. 高雄市左營區和光街56巷63弄6號(No. 6, Alley 63, Lane 56, Heguang St., Tzuoying Chiu, Kaohsiung, Taiwan 813, R.O.C.)
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	
		

四、中文發明摘要 (發明之名稱：電路基板及其製造方法)

一種電路基板包括有一板材、複數個金屬層、及一絕緣體。板材具有複數層電跡線層，且其中形成有至少一孔洞。該等金屬層形成於孔洞之側壁上，且這些金屬層分別與對應之電跡線層電性連接，而絕緣體形成於孔洞中，用以使這些金屬層彼此之間電性獨立。另外，本發明亦提供一種電路基板製造方法。

英文發明摘要 (發明之名稱：CIRCUIT SUBSTRATE AND MANUFACTURING METHOD THEREOF)

A circuit substrate includes a board, a plurality of metal layers, and an insulator. The board has a plurality of trace layers, and at least one hole formed therein. The metal layers are formed on the side wall of the hole, and the metal layers electrically connect to the corresponding trace layers. The insulator is formed in the hole so that the metal layers are electrically independent to each other.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 【發明領域】

本發明是有關於一種電路基板及其製造方法，特別是有關於一種應用於積體電路之電路基板及其製造方法。

### 【習知技術】

電路基板是現今電子產業常用之基材，除了應用於一般的印刷電路板(printing circuit board, PCB)外，還可以作為積體電路構裝之基板(substrate)。近年來，為因應積體電路集積化，以及構裝技術多腳化、薄型化之需求，故發展出電跡線間距小，且層數多之高密度電路基板。

如圖1所示，電路基板10主要包括一板材100，而板材100係由一核心板材101、及多層絕緣層110、電跡線層130彼此交替疊合構成，而各電跡線層130係藉由導孔140(via)，如貫穿孔(through hole)、埋孔(buried via)，或盲孔(blind via)來連接各電跡線層130之訊號。以貫穿孔為例，其先以機械鑽孔或雷射鑽孔的方式於疊合後之絕緣層110及電跡線層130貫穿出一小孔，並以無電極電鍍(electro-less plating)之方式於小孔周壁形成一薄銅，再以電鍍(electro plating)方式增厚銅層，最後再於小孔中的空隙中填滿絕緣材，如樹脂(epoxy)。導孔140周圍設有孔墊160(via land)，其係用以電性連接電跡線層130與導孔140，一般而言，若導孔140的直徑為 $300\mu\text{m}$ ，則孔墊160之直徑為 $500\mu\text{m}$ 。另外，為省去孔墊160

## 五、發明說明 (2)

所佔之面積，亦即無孔墊(landless)之設計，但其製程技術與成本較高。

然而，如圖2所示，由於孔墊160會佔據電跡線層130之許多區域，使得電跡線層130的佈局空間減少，造成電跡線130a必須設計得更細，且兩者的間距亦需更為細微。因此，不但增加製程的困難度，亦嚴重影響電性之品質，如增加訊號干擾的問題。另外，請再參考圖2，由於孔墊160佔據電跡線層130之許多空間，因此增加電跡線130a轉折的部分，亦即增加訊號傳輸之路徑的長度。

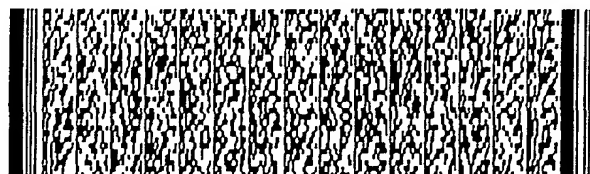
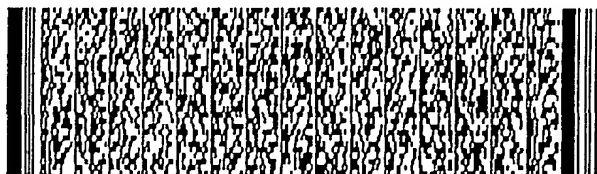
為解決上述問題，係可以直接縮小導孔240之孔徑來改善。如圖3所示，利用電漿、Nd:YAG雷射，或激光雷射(excimer laser)等技術來形成小孔徑之導孔240，當導孔240孔徑縮小時，便可增加電跡線層230之佈局空間，並使電跡線230a轉折的部分減少。然而，在電鍍導孔240孔壁金屬之製程上，由於孔徑過小，製程的困難度會大幅提升。

### 【發明概要】

針對上述問題，本發明的目的為提供一種電路基板及其製造方法，其可在不縮減電跡線之線徑及間距的情況下，增加電路基板之佈線密度。

本發明的另一目的為提供一種電路基板及其製造方法，其減少電路基板訊號之傳輸距離。

為達上述目的，根據本發明所提供之電路基板，其包





### 五、發明說明 (3)

括有一板材、複數個金屬層、及一絕緣體。板材具有複數層電跡線層，且板材中形成有至少一孔洞，該等金屬層形成於孔洞之側壁上，且這些金屬層分別與其對應的電跡線層電性連接。絕緣體形成於孔洞中，用以使這些金屬層彼此之間電性獨立。

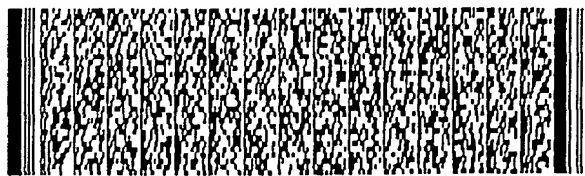
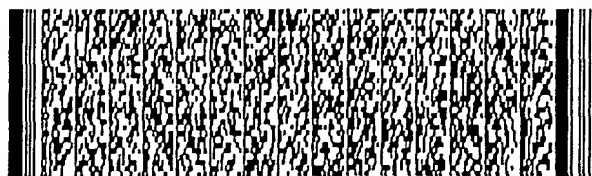
另外，本發明亦提供一種電路基板之製造方法，其包括有下列步驟：首先，先提供一具有複數層電跡線層之板材，且此板材中係形成至少一孔洞。然後，形成一金屬層於此孔洞之周壁，再形成至少一分割道於孔洞中，以分割金屬層。最後，填塞一絕緣體於分割道及孔洞中。

由於本發明之電路基板是利用絕緣體將形成於孔洞壁面的金屬層分隔成複數個電性獨立之金屬層，故每一金屬層均可作為連接各電跡線層之導孔，亦即是將數個導孔之功能集中於一孔洞中。如此，便可大幅縮減導孔所佔的面積，以使電路基板之佈線密度提高，另外，也可使電跡線轉折的部分減少，以縮短訊號傳輸之路徑。

另外，本發明亦提供上述電路基板之製造方法，其係先於孔洞壁面形成一金屬層後，再形成分割道來將壁面之金屬層分割成數個金屬層，故可於一個孔洞中，形成多個導孔。如此，除可避免直接製作小孔徑孔洞所產生電鍍困難的問題，更可以快速地形成多個導孔。

#### 【較佳實施例之詳細說明】

圖4A、4B為根據本發明之電路基板所提供之第一較佳

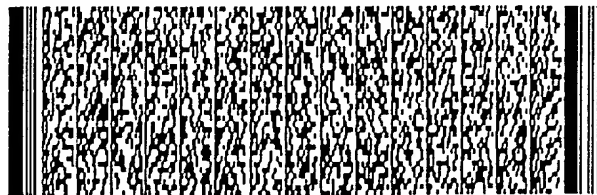
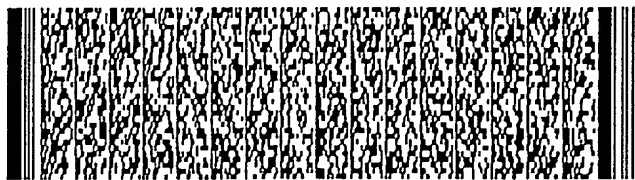


#### 五、發明說明 (4)

實施例的示意圖。於本實施例中，電路基板400包括有一板材、至少一孔洞440、金屬層450a、450b、一絕緣體480。板材係由一核心板材401、及複數層絕緣層410、複數層電跡線層430交替疊合形成。絕緣層410之材料可為雙順丁烯二酸醯亞胺(Bismaleimide-Triazine, BT)，或FR-4環氧樹脂。電跡線層430係可以藉由於絕緣層410表面形成一銅箔層(copper foil layer)，然後在此銅箔層上形成一圖案化的光阻層，並以此光阻層為罩幕，蝕刻除去局部的銅箔，再經過去除光阻層之後，便可以得到所需之電跡線層430。

孔洞440是以機械或化學方式形成於板材中，且此孔洞440的型態可以是貫穿孔、埋孔、或盲孔。金屬層450a、450b可以利用無電電鍍法或直接電鍍(direct plating)的方式形成於孔洞440之側壁上，且環繞於孔洞440的壁面。孔墊460a、460b環繞於孔洞440外緣，其材料為導電性良好的金屬材料，一般與電跡線的金屬材料相同，如銅。絕緣體480塞滿於孔洞440中，且將孔洞440區分成兩部分。其中，金屬層450a、450b及孔墊460a、460b係藉由絕緣體480之電性絕緣性質，而彼此電性獨立。絕緣體480可由絕緣材料所形成，例如環氧樹脂。另外，金屬層430a、430b分別透過孔墊460a、460b，與電跡線層430中之電跡線430a及電跡線430b電性連接。

請參考圖5A至5G的示意圖以說明根據本發明所提供的電路基板之製造方法。如圖5A(剖面示意圖)所示，首先提

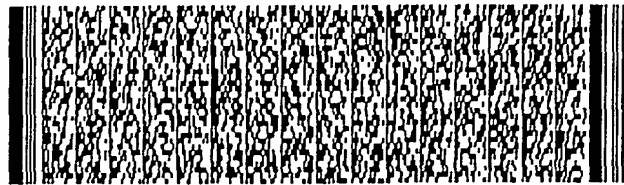
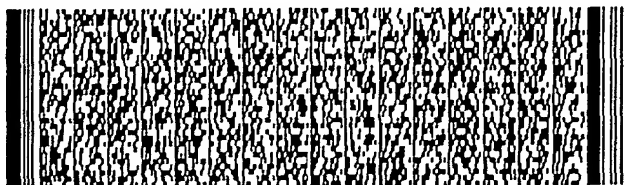


#### 五、發明說明 (5)

供一核心板材401，其上下表面設有銅箔層420。核心板材401可使用材質較硬、且具有高玻璃轉換溫度(Glass Transition Temperature, Tg)之預浸膠片(Prepreg)。如圖5B所示，於銅箔層420上形成一光阻層421，經過曝光(exposure)、顯影(development)等過程，完成圖案轉移，然後再以蝕刻方式去除部份銅箔層420，以得到電跡線層430(圖5C)。

如圖5D所示，塗佈一絕緣材料於電跡線層430上以形成一絕緣層410。重複圖5A、圖5B及圖5C之步驟以製得由多層絕緣層410及電跡線層430交替疊合之板材。接著，如圖5E所示，利用機械鑽孔法(mechanical drilling)、雷射燒融法(laser ablation)、光化學反應法(photochemical reaction)、或電漿蝕刻法(plasma etching)形成孔洞440。

如圖5F所示，形成一金屬層450於孔洞440中，及絕緣層410之表面。由於孔洞440的內壁及絕緣層410之表面主要是非導體性之複合材料，故須先使具催化特性之"鈦"附著於孔壁表面上，再以無電電鍍法於孔洞440之壁面及絕緣層410之表面形成一薄銅層，此薄銅層之厚度約 $0.5\ \mu\text{m}$ 。然後，再以一般電鍍法加厚薄銅層，以形成金屬層450，其厚度約 $20\ \mu\text{m}$ 。另外，亦可利用直接電鍍法(direct plating)來形成金屬層450。直接電鍍法是先於孔洞440之壁面及絕緣層410之表面塗敷一導電高分子膜(conductive polymer)或可導電的碳粉層，再以電鍍法形



## 五、發明說明 (6)

成金屬層450。

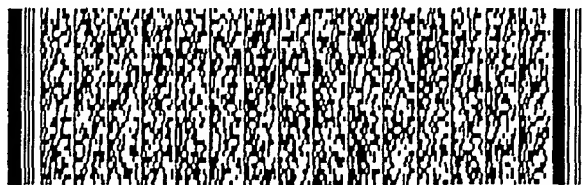
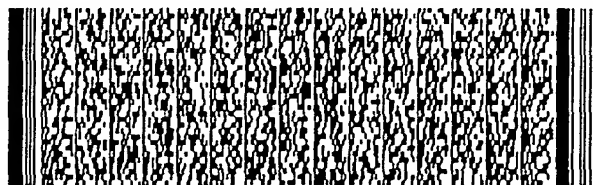
如圖5G所示，進行微影定義製程，其係於絕緣層410表面上的金屬層450上形成一光阻層451，然後以曝光顯影技術進行圖案化，並以圖案化後之光阻層451為罩幕，蝕刻除去局部的銅箔，最後再去除光阻層451後，便可製得電跡線層430及孔墊460(如圖5H)。孔墊460係形成於孔洞440之外緣，一般而言，當孔洞440之直徑為 $300\ \mu\text{m}$ 時，則孔墊460之直徑約為 $500\ \mu\text{m}$ 。

接著，如圖5I所示(孔洞上視圖)，利用雷射燒融法形成分割道470，其中雷射燒融法種類可為二氧化碳雷射( $\text{CO}_2$  Laser)、摻釹的紅寶石雷射(Nd:YAG Laser)、及激光雷射(Excimer Laser)。另外，亦可以機械鑽孔法、雷射燒融法、光化學反應法、或電漿蝕刻法，來形成分割道470。分割道470係將孔洞440分成兩部分，其中除孔洞440壁面之金屬層450被分成兩部分外(金屬層450a、450b)，孔墊460亦被分成兩部分(孔墊460a、460b)。

如圖5J所示，填充一絕緣體480，如環氧樹脂，於孔洞440中，以使孔洞440中全部填滿絕緣體480。絕緣體480用以隔離孔洞440壁面的金屬層450a、450b，並使兩者互相為電性獨立，而使金屬層450a、450b分別與電跡線430a、430b電性連接。

綜上所述，本發明具有下列優點：

1. 本發明之電路基板，是利用絕緣體將形成於孔洞壁面的金屬層分隔成複數個電性獨立之金屬層，故每一金

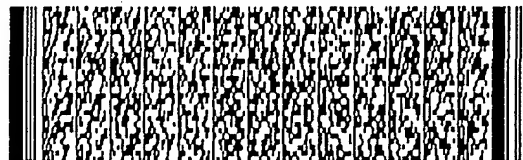


#### 五、發明說明 (7)

屬層均可為作為連接各電跡線層之導孔，亦即是將數個導孔之功能集中於一孔洞中。如此，便可大幅縮減導孔所佔的面積，以使電路基板之佈線密度相對地提高，另外，也可使電跡線轉折的部分減少，以縮短訊號傳輸之路徑。

2. 本發明電路基板之製造方法，係先於孔洞壁面形成一金屬層後，再以形成分割道來將壁面之金屬層分割成數個金屬層，故可於一個孔洞中，形成多個導孔。如此，除可避免直接製作小孔徑孔洞所產生電鍍困難的問題，更可以快速地形成多個導孔。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

### 【圖式之簡單說明】

圖1為電路基板之剖面示意圖。

圖2為習知電路基板之上視圖。

圖3為習知另一型態電路基板之上視圖。

圖4A為本發明電路基板之上視圖。

圖4B為本發明電路基板之剖面示意圖。

圖5A至5H為本發明電路基板之製造方法的剖面示意圖。

圖5I至5J為本發明電路基板之製造方法的上視圖。

### 【圖式符號說明】

10	電路基板
100	板材
101	核心板材
110	絕緣層
130	電跡線層
130a	電跡線
140	導孔
160	孔墊
230	電跡線層
230a	電跡線
240	導孔
400	電路基板
401	核心板材



圖式簡單說明

410	絕緣層
420	銅箔層
421	光阻層
430	電跡線層
430a	電跡線
430b	電跡線
440	孔洞
450	金屬層
450a	金屬層
450b	金屬層
451	光阻層
460	孔墊
460a	孔墊
460b	孔墊
470	分割道
480	絕緣體



#### 六、申請專利範圍

1. 一種電路基板，包含：

一板材，具有複數層電跡線層，且該板材中至少形成有一孔洞；

複數個金屬層，形成於該孔洞之側壁上，且該等金屬層分別與對應之電跡線層電性連接；以及

至少一絕緣體，形成於該孔洞中，用以使該等金屬層彼此電性獨立。

2. 如申請專利範圍第1項所述之電路基板，更包含：

複數個孔墊，環繞該孔洞之周緣，且對應該等金屬層設置。

3. 如申請專利範圍第1項所述之電路基板，其中該孔洞係一貫穿孔。

4. 如申請專利範圍第1項所述之電路基板，其中該孔洞係一埋孔。

5. 如申請專利範圍第1項所述之電路基板，其中該孔洞係一盲孔。

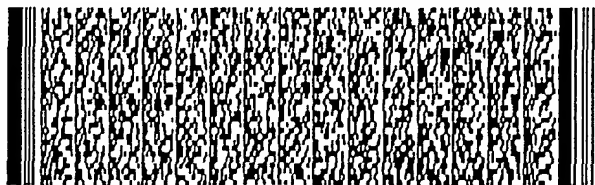
6. 如申請專利範圍第1項所述之電路基板，其中該金屬層之材料係為銅。





六、申請專利範圍

7. 如申請專利範圍第1項所述之電路基板，其中該第一絕緣體之材料係為環氧樹脂。
8. 如申請專利範圍第1項所述之電路基板，其中該板材係由複數層絕緣層及該等電跡線層彼此交替疊合所形成。
9. 如申請專利範圍第1項所述之電路基板，其中該等孔墊係由銅所構成。
10. 一種電路基板之製造方法，包含：
  - (a) 提供一板材；
  - (b) 形成至少一孔洞於該板材中；
  - (c) 形成一金屬層於該孔洞之周壁，；
  - (d) 形成至少一分割道於該孔洞中，以分割該金屬層；以及
  - (e) 填塞一絕緣體於該孔洞及該分割道中。
11. 如申請專利範圍第10項所述之電路基板之製造方法，在步驟(c)中更形成一孔墊於該板材上，且該孔墊位於該孔洞之周緣。
12. 如申請專利範圍第11項所述之電路基板之製造方法，在步驟(d)中該分割道亦分割該孔墊。



六、申請專利範圍

13. 如申請專利範圍第10項所述之電路基板之製造方法，其中該孔洞係一貫穿孔。
14. 如申請專利範圍第10項所述之電路基板之製造方法，其中該孔洞係一埋孔。
15. 如申請專利範圍第10項所述之電路基板之製造方法，其中該孔洞係一盲孔。
16. 如申請專利範圍第10項所述之電路基板之製造方法，其中該金屬層係由銅所構成。
17. 如申請專利範圍第10項所述之電路基板之製造方法，其中該絕緣體之材料係為環氧樹脂。
18. 如申請專利範圍第10項所述之電路基板之製造方法，其中該板材係由複數層絕緣層及複數層電跡線層彼此交替疊合所構成。
19. 如申請專利範圍第10項所述之電路基板之製造方法，其中該金屬層係先以一無電極電鍍法於該孔洞之周壁形成一薄膜，再對該薄膜進行一電鍍法所形成。
20. 如申請專利範圍第10項所述之電路基板之製造方法，



六、申請專利範圍

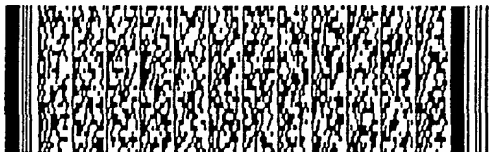
其中該金屬層係先於該孔洞之周壁形成一導電高分子膜，再進行一電鍍法所形成。

21. 如申請專利範圍第10項所述之電路基板之製造方法，其中該分割道係以一機械鑽孔法形成。

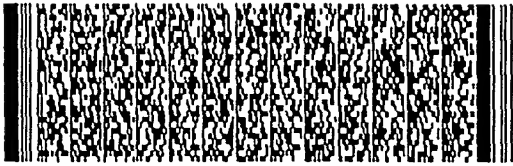
22. 如申請專利範圍第10項所述之電路基板之製造方法，其中該分割道係以一雷射燒融法所形成。

23. 如申請專利範圍第10項所述之電路基板之製造方法，其中該分割道係以一光化學反應法所形成。

24. 如申請專利範圍第10項所述之電路基板之製造方法，其中該分割道係以一電漿蝕刻法所形成。



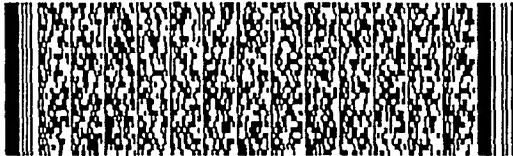
第 1/18 頁



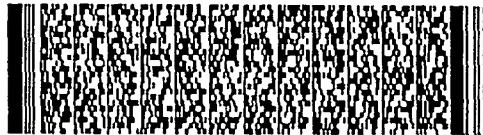
第 1/18 頁



第 2/18 頁



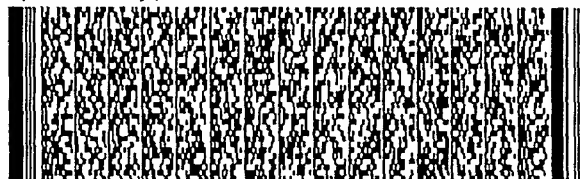
第 3/18 頁



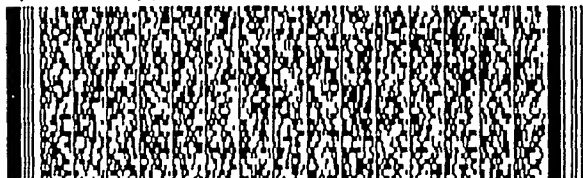
第 4/18 頁



第 6/18 頁



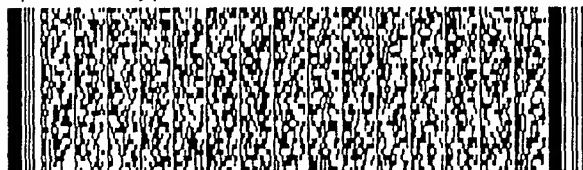
第 6/18 頁



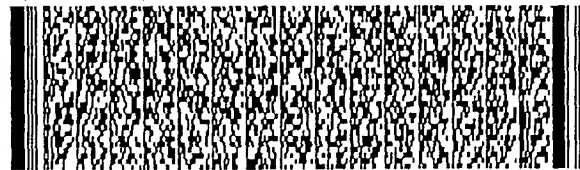
第 7/18 頁



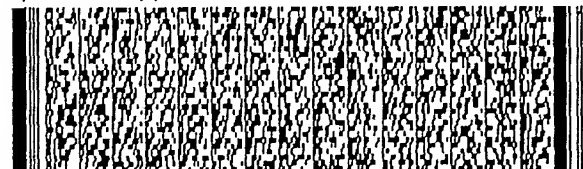
第 7/18 頁



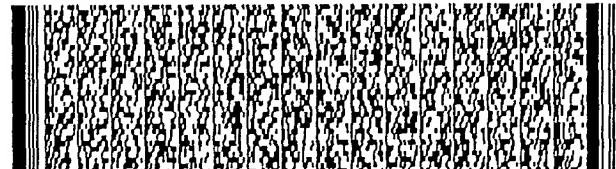
第 8/18 頁



第 8/18 頁



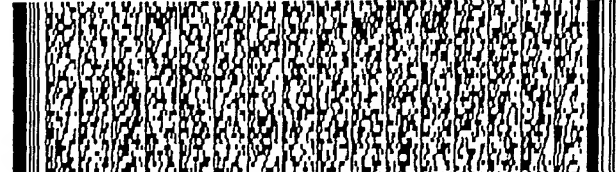
第 9/18 頁



第 9/18 頁



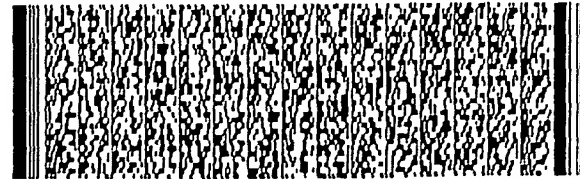
第 10/18 頁



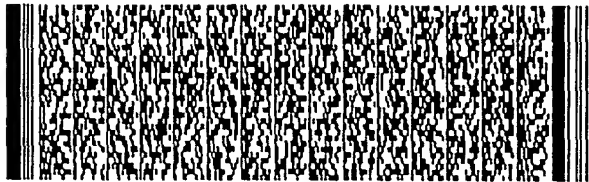
第 10/18 頁



第 11/18 頁



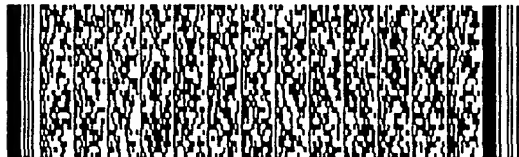
第 11/18 頁



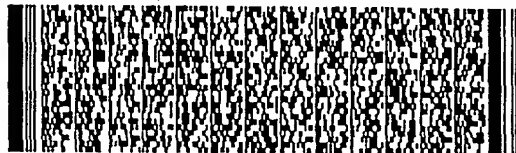
第 12/18 頁



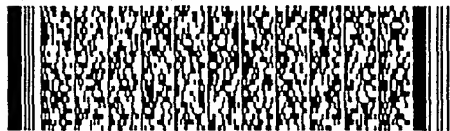
第 12/18 頁



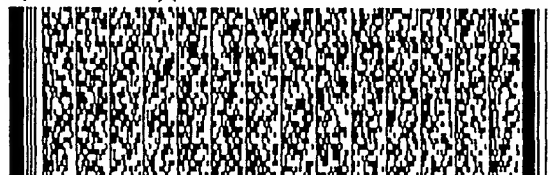
第 13/18 頁



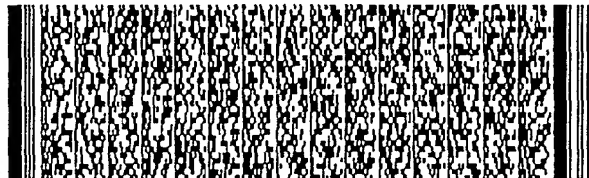
第 14/18 頁



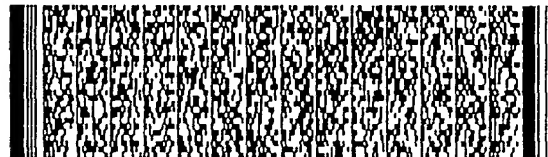
第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁



圖式

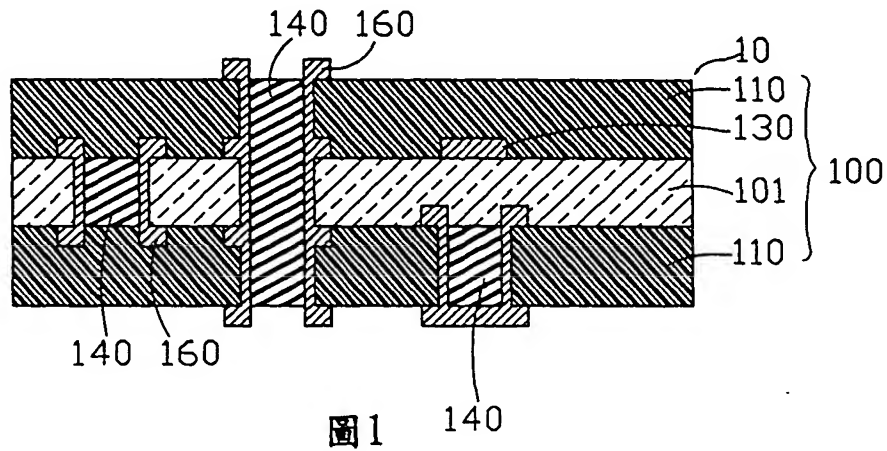


圖1

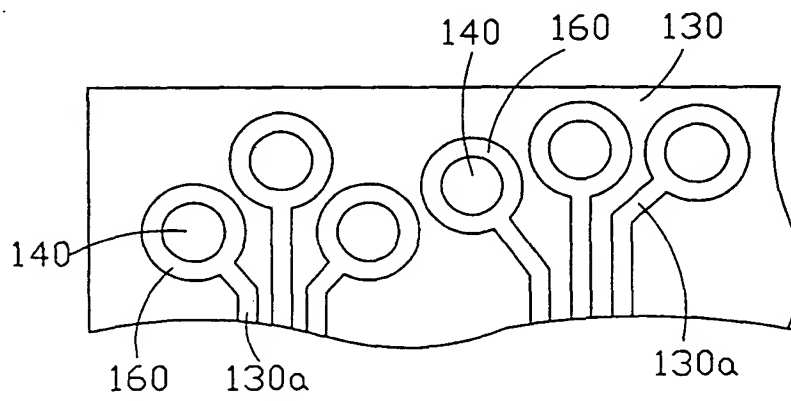


圖2

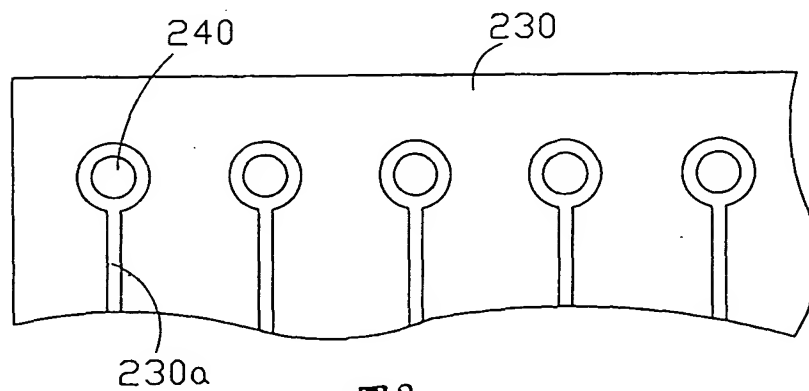


圖3

裝

訂

線

圖式

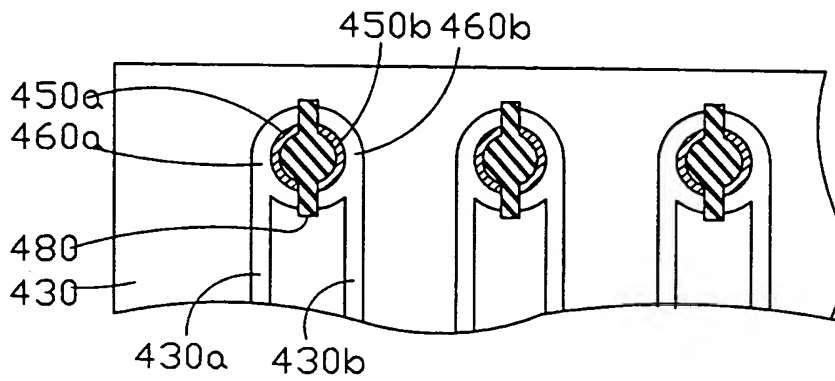


圖4A

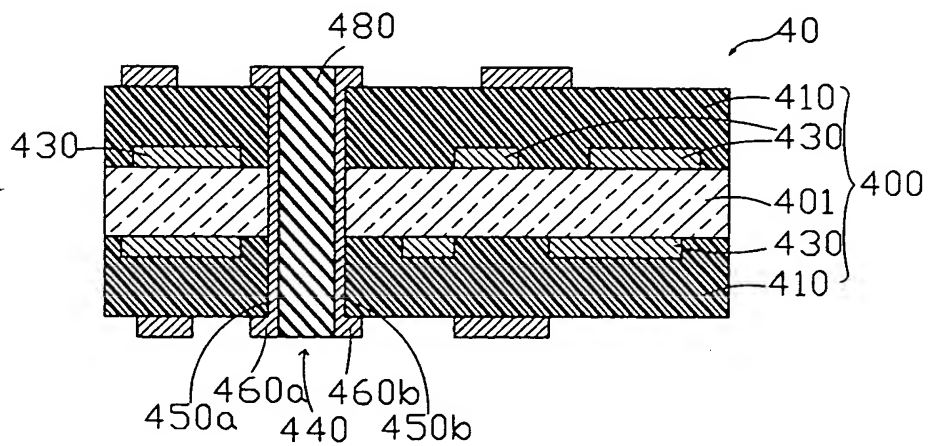


圖4B

裝  
訂  
線

圖式

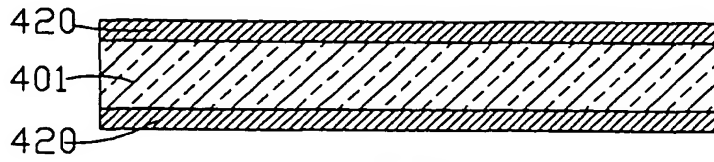


圖5A

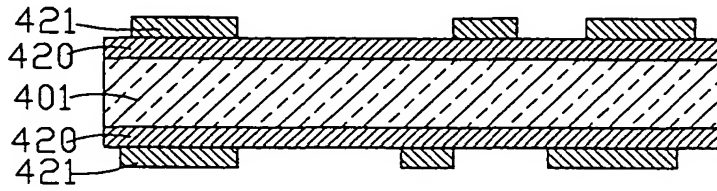


圖5B

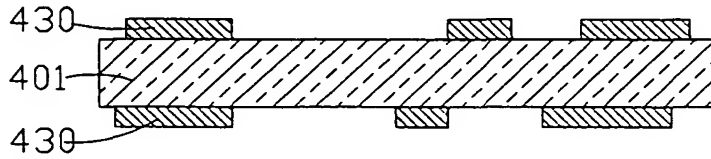


圖5C

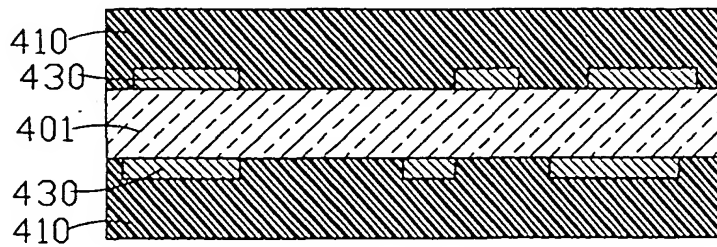


圖5D



圖式

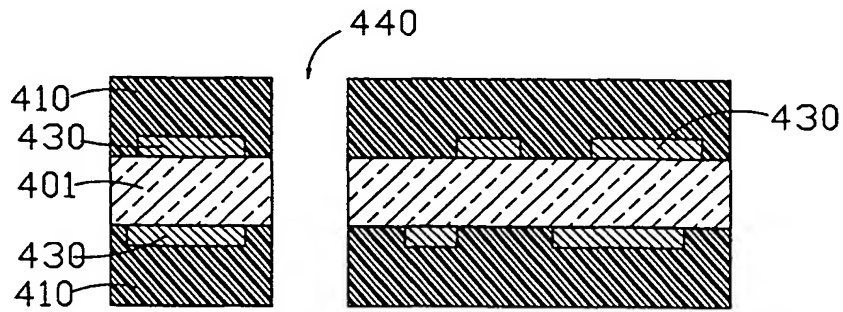


圖5E

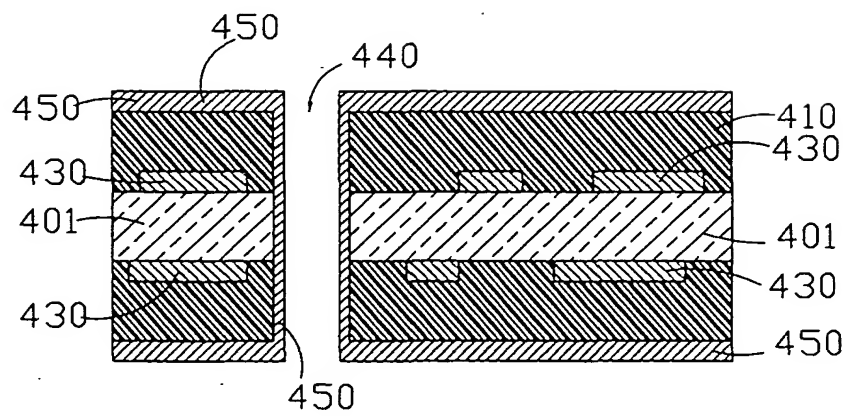


圖5F

圖式

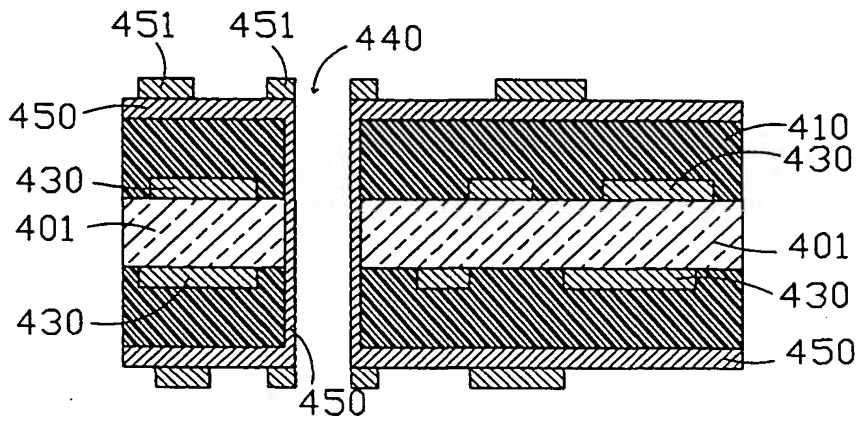


圖5G

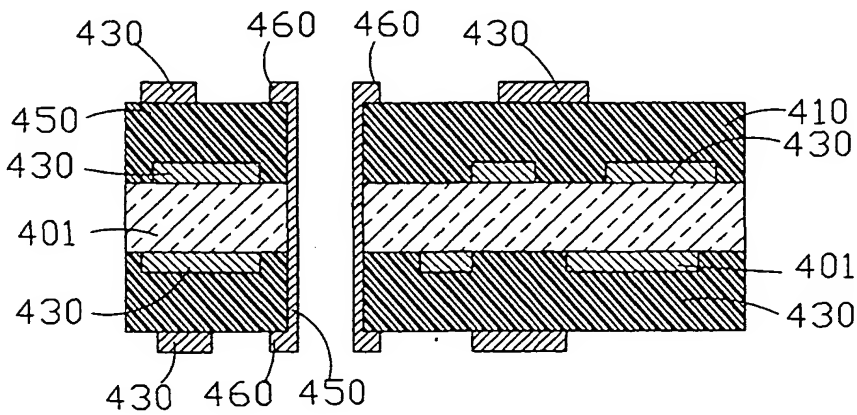


圖5H

圖式

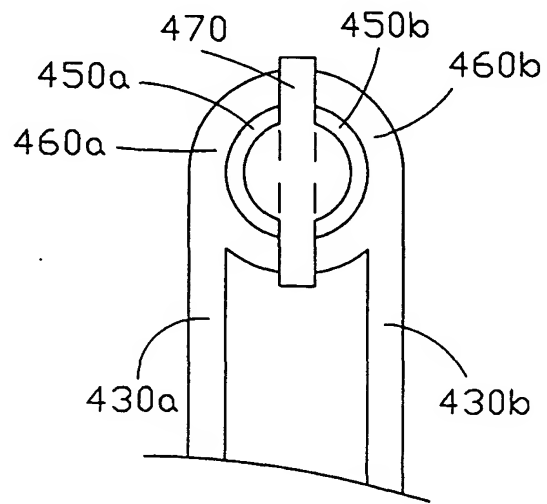


圖5I

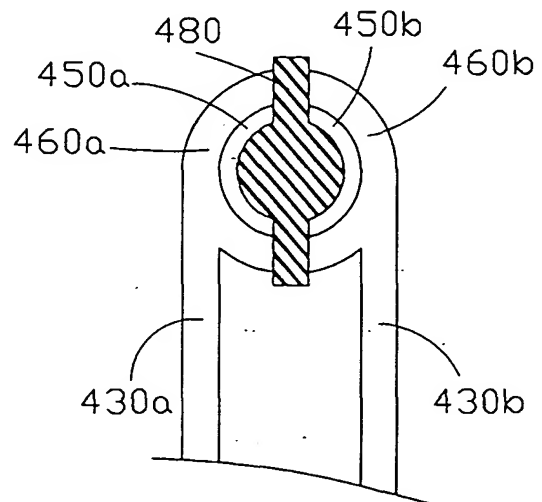


圖5J

裝  
訂  
線